

DLA:LOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

013116893 **Image available**

WPI Acc No: 2000-288764 200025

Related WPI Acc No: 1997-190387; 1997-190388; 1997-233573; 1997-287100;
2000-288763

XRAM Acc No: C00-087460

XRPX Acc No: N00-217868

Thin film transistor manufacturing method, involves forming polycrystalline silicon film by laser annealing of amorphous silicon film, over which impurity area is formed after formation of gate electrode

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL.)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000082822	A	20000321	JP 95199980	A	1995080	200025 B
			JP 99240191	A	19950804	

Priority Applications (No Type Date): JP 95167513 A 19950703

Patent Details:

Patent No	Kind	Ln	Pg	Main IPC	Filing Notes
-----------	------	----	----	----------	--------------

JP 2000082822	A		13	H01L-029.786	Div ex application JP 95199980
---------------	---	--	----	--------------	--------------------------------

Abstract (Basic): JP 2000082822 A

NOVELTY - Amorphous silicon film is formed on an insulated substrate (1). Laser annealing of the amorphous silicon film is performed for forming a polycrystalline silicon film (2). Impurity area (6) such as the source drain area is formed on the polycrystalline silicon film. Rapid thermal heating of the impurity area is done by performing rapid thermal annealing process.

DETAILED DESCRIPTION - Metal gate electrode is formed before forming the impurity area.

USE - For manufacture of thin film transistor used for pixel driving of active matrix liquid crystal display device.

ADVANTAGE - Raises the productivity of the semiconductor device and the manufacturing cost. Enables to obtain polycrystalline silicon film having an outstanding characteristic within a short time.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of the manufacturing process of the thin film transistor. Insulated substrate (1) Polycrystalline silicon film (2) Impurity area (6) pp: 13 DwgNo 16.32

Title Terms: THIN; FILM; TRANSISTOR; MANUFACTURE; METHOD; FORMING;

POLYCRYSTALLINE; SILICON; FILM; LASER; ANNEAL; AMORPHOUS; SILICON; FILM; IMPURE; AREA; FORMING; AFTER; FORMATION; GATE; ELECTRODE;

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-029.786

International Patent Class (Additional): H01L-021.20; H01L-021.265;

H01L-021.28; H01L-021.336

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-82822
(P2000-82822A)

(43) 公開日 平成12年3月21日 (2000.3.21)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 L 29/786

21/336

21/20

21/265

21/28

3 0 1

H 0 1 L 29/78

21/20

21/28

21/265

29/78

6 2 7 F

3 0 1 D

6 0 2 B

6 1 6 L

審査請求 有 請求項の数 2 O L (全 13 頁) 最終頁に続く

(21) 出願番号

特願平11-240191

(62) 分割の表示

特願平7-199980の分割

(22) 出願日

平成7年8月4日 (1995.8.4)

(31) 優先権主張番号

特願平7-167513

(32) 優先日

平成7年7月3日 (1995.7.3)

(33) 優先権主張国

日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 平野 貴一

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72) 発明者 曾谷 直哉

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(74) 代理人 100109368

弁理士: 稲村 悦男 (外1名)

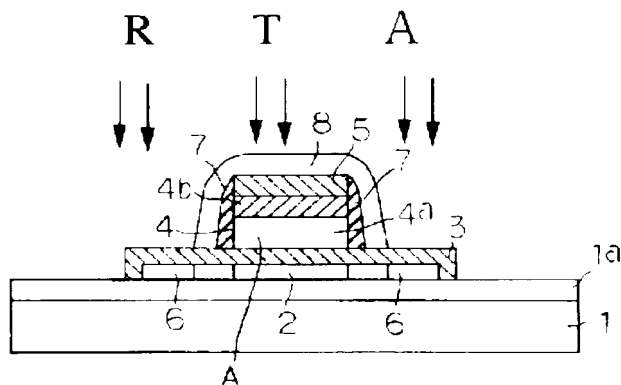
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 優れた特性の多結晶シリコン膜を備えた半導体装置のスルーショットを向上させること。

【解決手段】 ガラス基板1上に非晶質シリコン膜を形成し、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜2を形成し、この多結晶シリコン膜2の上には、ゲート絶縁膜3を全してWシリサイド膜4aを含むシリサイド構造のゲート電極4を形成し、前記多結晶シリコン膜2に、不純物領域6となる不純物領域6を形成し、前記不純物領域6をR.T.A法を用いて急速加熱することにより活性化する。



【地味請求の証明】

【請求項１】 基板上に非晶質シリコン膜を形成する例

この非晶質シリコン膜をレーザーアニーリングして多結晶シリコン膜を形成する第2の工程と、

前記多結晶、リリコ膜に、ソース・ドレイン領域としての不純物領域を形成する第3の工程と、

前記不純物領域を R.T.A. Rapid Thermal Annealing 法を用いて急速加熱することにより活性化する第 4 の工程と、を含有、

前記第3の工程よりも前に、金属を含めゲート電極を形成する工程を行うことを特徴とした半導体装置の製造方法。

【請求項2】 基板上に非晶質シリコン膜を形成する第1の工程と、

この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する第2の工程と、

前記多結晶シリコン膜に、ソース・ドレイン領域として

の4種物質領域を形成する第3の工程と、
前記4種物質領域を、ランプを熱源として急速加熱することにより形成する第4の工程と、を含み、

とにより活性化する第4の工程と、を済み、前記第3の工程より前に、金属を含むゲート電極を形成する工程を行うことを特徴とした半導体装置の製造方法。

【發明】及「組」之說明】

【(1) (1) (1)】

【発明の属する技術分野】本発明は、薄膜トランジスタ（Thin Film Transistor）等の半導体装置の製造方法に関するものである。

【() () () 22】

【近頃の技術】 近年、アクティブマトリクス方式LCD (Liquid Crystal Display) の画素駆動素子（画素駆動用トランジスタ）として、透明絶縁基板上に形成された多結晶シリコン膜を駆動層に用いた薄膜トランジスタ（以下、TFT-OSD-TTという）の開発が盛んに行われて

【例 1】図 1 の液晶ディスプレイでは、画素毎に TFT 素子を駆動回路に用いた薄膜トランジスタに比べ、移動度が大さな移動能力が高いという利点がある。そのため、多結晶シリコン TFT を用いれば、高性能な LCD を実現できる上に、画素部（表示部）だけでなく周辺駆動回路（制御部）までを同一基板上に一体に形成することが可能である。

Figure 1. The effect of the concentration of the initiator on the polymerization of α -methylstyrene in the presence of SnCl_4 at 0°C .

7.

【0005】また、非晶質シリコン膜を堆積した後にこれを多結晶化するには、固相成長法が一般的である。この固相成長法は、非晶質シリコン膜に熱処理を行うことにより、固体のまま多結晶化させて多結晶シリコン膜を得る方法である。この固相成長法の一例を図3-1及び図3-2に基づいて説明する。

【0006】工程A(図3-1参照)：地球基板(例えば石英ガラス)61上に、通常、原子CVD法を用いて非晶質シリコン膜を形成し、更に、窒素(N_2)雰囲気中、温度900℃程度で熱処理を行うことにより、先記非晶質シリコン膜を固相成長させて多結晶シリコン膜62を形成する。

【0007】前記多結晶シリコン膜62を薄膜トランジスタの能動層として用いるために、フォトリソグラフィ技術、RIE法によるドライエッチング技術により前記多結晶シリコン膜62を所定形状に加工する。

【0008】上記多結晶シリコン膜62の上に、減圧CVD法を用いて、ゲート絶縁膜63としてのシリコン酸化物を堆積する。

【0009】工程B（図32参照）：前記ゲート絶縁膜63上に、減圧CVD法により多結晶シリコン膜を堆積した後、この多結晶シリコン膜に不純物を注入し、更に熱処理を行って不純物を活性化させる。

【0010】次に、苛性CaO法により、この多結晶シリコン膜の上にシリコン酸化膜64を堆積した後、プラズマCVD技術、R1法などによるドライエッチング技術を用いて、前記多結晶シリコン膜及びシリコン酸化膜64を所定形状に加工作る。前記多結晶シリコン膜はゲート電極膜として使用する。

【0011】次に、自己整合技術により、ゲート電極6-5及びシリコン酸化膜6-1をマスクとして、多結晶シリコン膜6-2に不純物を注入し、ソース・ドレイン領域6-6を形成する。

【0012】このような方法は、固相成長や不純物混入の時に0.01℃程度の低い温度を配用することから、高純度の化合物を得ており、製剤化の妨げも無い例えは、石炭基性化合物の重合に、処理時間短縮（約10分）で得られる。

【00013】しかしながら、前記耐熱性の高い基板は高価であり、比較的低価なガラス基板を用いた場合には、基板に剥離が生じて好ましくなく、近年では、低温プロセスを用いた開発が盛んである。

【0014】特に、駆動端子に印加される電圧に依りて

1. 本報刊登之廣告，其內容如有違反法律、公序良俗、或有其他不當情事者，本報得隨時停止刊登，並得向有關主管機關報告。

As a result of the above, the following is suggested as a possible explanation for the observed differences in the effect of the two types of stimuli on the two groups of subjects. The subjects in the first group were not aware of the fact that they were being exposed to a stimulus, and therefore they were not able to respond to it. The subjects in the second group were aware of the fact that they were being exposed to a stimulus, and therefore they were able to respond to it.

リコン薄膜を形成する技術が開発されている。

【0016】

【発明が解決しようとする課題】レーザーアニールは、ビーム走査を何度も繰り返して行う必要があるため、結晶化プロセスに時間がかかるという問題があるが、従来例においては、熱源としてレーザービームのみを使用するものであるため、多結晶化プロセスに加え、例えば、不純物領域の活性化にも時間がかかるレーザーアニールを行わなければならない、処理プロセス時間が長くなり、TFTデバイスおよびTFTを使用したLCDデバイスのコストが低くなる問題がある。

【0017】本発明は、半導体装置の製造方法に関し、所定の課題を解決するものである。

【0018】

【課題を解決するための手段】本発明の第1の局面による半導体装置の製造方法は、基板に非晶質シリコン膜を形成する第1の工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する第2の工程と、前記多結晶シリコン膜に、ソース・ドレイン領域としての不純物領域を形成する第3の工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する第4の工程と、を含み、前記第3の工程よりも前には、金属を含むゲート電極を形成する工程を行うことをその要件とする。

【0019】このように、非晶質シリコン膜の結晶化をレーザーアニールを用いて行い、不純物領域の活性化をRTA法を用いて行うことにより、結晶化と活性化とをいずれもレーザーアニール法で行うことにより、製造時間が短くなる。特にこの場合、レーザーアニールにより品質の高い多結晶シリコン膜が得られ、且つRTAにより不純物領域を短時間で活性化できる。

【0020】また、第3の工程よりも前に、金属を含むゲート電極を形成することにより、この金属が、RTAの熱を吸収するため、熱を吸収した金属からの放射熱によっても不純物領域の活性化が助長される。

【0021】本発明の第2の局面による半導体装置の製造方法は、基板に非晶質シリコン膜を形成する第1の工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する第2の工程と、前記多結晶シリコン膜に、ソース・ドレイン領域としての不純物領域を形成する第3の工程と、前記不純物領域を、ランプを熱源として急速加熱することにより活性化する第4の工程と、を含み、前記第3の工程よりも前に、金属を含むゲート電極を形成する工程を行うことにより、前記

合、レーザーアニールにより品質の高い多結晶シリコン膜が得られ、且つランプを熱源とした急速加熱により不純物領域を短時間で活性化できる。

【0022】また、第3の工程よりも前に、金属を含むゲート電極を形成することにより、この金属が、ランプの熱を吸収するため、熱を吸収した金属からの放射熱によっても不純物領域の活性化が助長される。

【0023】

【発明の実施の形態】（第1実施形態）本発明を具体化した第1の実施形態を以下乃至図1-8により説明する。

【0024】工程1（図1参照）：石英ガラスや無水フッ化ガラスなどの基板1上には、 SiO_2 や Si_3N_4 などの絶縁性薄膜1aをCVD法やスパッタ法などにより形成する。具体的には、基板1としてコーニング社製7059を使用し、その表面上に薄膜1aは減圧CVD法により、形成厚度3500Å、膜厚3000～5000Åの SiO_2 膜を形成する。

【0025】この SiO_2 膜の膜厚は、後工程の熱処理やビーム照射などで基板1上の不純物がこの SiO_2 膜を通過して上層へ拡散しない程度の厚みが必要で、1000～6000Åの範囲が適切で、2000～6000Åにしたときに拡散防止効果が良好で、その中でも3000～5000Åの場合がもっとも適している。

【0026】また、絶縁性薄膜1aとして Si_3N_4 を用いた場合の膜厚としては、1000～5000Åの範囲が適切で、2000～5000Åにしたときに拡散防止効果が良好で、その中でも2000～3000Åの場合がもっとも適している。

【0027】工程2（図2参照）：前記絶縁性薄膜1aの上には、非晶質シリコン膜2a（膜厚500Å）を形成する。この非晶質シリコン膜2aをTFTの能動層として用いた場合、この能動層が厚すぎると、多結晶シリコンTFTにおける電圧が増大し、通ずるとオン電流が減ってしまう。このときの非晶質シリコン膜2aの膜厚は、100～800Åの範囲が適切で、500～700Åにしたときに拡散防止効果が、その中でも500～600Åの場合がもっとも適している。

【0028】前記非晶質シリコン膜2aの形成方法には、以下のものがある。

【0029】1減圧CVDを用いる方法（減圧CVD法）シリコン膜を形成するには、モリブデン- SiH_4 系はシリコン- SiH_4 の熱分解を用いる。モリブデン

【0030】図1は本発明の第1の実施形態の工程1の断面図である。図2は本発明の第1の実施形態の工程2の断面図である。図3は本発明の第1の実施形態の工程3の断面図である。図4は本発明の第1の実施形態の工程4の断面図である。図5は本発明の第1の実施形態の工程5の断面図である。図6は本発明の第1の実施形態の工程6の断面図である。図7は本発明の第1の実施形態の工程7の断面図である。図8は本発明の第1の実施形態の工程8の断面図である。

【0031】図9は本発明の第2の実施形態の工程1の断面図である。図10は本発明の第2の実施形態の工程2の断面図である。図11は本発明の第2の実施形態の工程3の断面図である。図12は本発明の第2の実施形態の工程4の断面図である。図13は本発明の第2の実施形態の工程5の断面図である。図14は本発明の第2の実施形態の工程6の断面図である。図15は本発明の第2の実施形態の工程7の断面図である。図16は本発明の第2の実施形態の工程8の断面図である。

【0032】図17は本発明の第3の実施形態の工程1の断面図である。図18は本発明の第3の実施形態の工程2の断面図である。図19は本発明の第3の実施形態の工程3の断面図である。図20は本発明の第3の実施形態の工程4の断面図である。図21は本発明の第3の実施形態の工程5の断面図である。図22は本発明の第3の実施形態の工程6の断面図である。図23は本発明の第3の実施形態の工程7の断面図である。図24は本発明の第3の実施形態の工程8の断面図である。

トドカス方式LCDのブロック構成図である。

【0069】画素部20には各走査線（ゲート配線）G1…Gn、G1…Gnと各データ線（ドレイン配線）D1…Dn、D1…Dnとが配置されている。各ゲート配線と各ドレイン配線とはそれぞれ直交し、その直交部分に画素21が設けられている。そして、各ゲート配線は、ゲートドライバ22と接続され、ゲート（走査信号）が印加されるようになっており、また、各ドレイン配線は、ドレインドライバ（データドライバ）23と接続され、データ（ビデオ信号）が印加されるようになっており、これらドライバ22、23によって周辺駆動回路24が構成されている。

【0070】そして、各ドライバ22、23のうち少なくとも一方を画素部20と同じ基板上に形成したLCDは、一般にドライバ（外装・ドライバ内蔵型）LCDと呼ばれている。尚、ゲートドライバ22が、画素部20の両端に設けられている場合もある。また、ドレインドライバ23が、画素部20の両側に設けられている場合もある。

【0071】この周辺駆動回路24のスイッチング要素にも前記多結晶シリコンTFT（ A ）と同等の製造方法で形成した多結晶シリコンTFTを用いており、多結晶シリコンTFT（ A ）の作製に準じて、同一基板上に形成される。尚、この周辺駆動回路24用の多結晶シリコンTFTは、L1D構造ではなく、通常のシングルドレイン構造を採用している（もちろん、L1D構造であってもよい）。

【0072】また、この周辺駆動回路24の多結晶シリコンTFTは、CMOS構造に形成することにより、各ドライバ22、23としての電力の低消費化を実現している。

【0073】図18にゲート配線Gとドレイン配線Dとの直交部分に設けられている画素21の等価回路を示す。

【0074】画素21は、画素駆動要素としてのTFT（ A ）に液晶セル（LC）と対し、液晶セルLC、補助容量（ C_s ）から構成される。ゲート配線GにはTFT（ A ）が接続され、ドレイン配線DにはTFT（ A ）のドレインが接続されている。そして、TFT（ A ）のソースは、液晶セルLCの表示電極（画素電極）と補助容量（蓄積電量又は付加容量） C_s とが接続されている。

【0075】この液晶セルLCと補助容量（ C_s ）により、信号蓄積要素が構成される。液晶セルLC、共通電極（表示電極の反対側の電極）には前記Aemが印刷されている。

TFT（ A ）のソースと接続される他の反対側の電極は、隣りのゲート配線Gと接続されている場合もある。

【0076】このように構成された画素21において、ゲート配線Gを正電圧にしてTFT（ A ）のゲートに正電圧を印加すると、TFT（ A ）がオンとなる。すると、ドレイン配線Dに印加されたビデオ信号で、液晶セルLCの静電容量と補助容量（ C_s ）とが充電される。反逆に、ゲート配線Gを負電圧にしてTFT（ A ）のゲートに負電圧を印加すると、TFT（ A ）がオフとなり、その時点でドレイン配線Dに印加されていた電圧が、液晶セルLCの静電容量と補助容量（ C_s ）とによって保持される。このように、画素21へ書き込みたいビデオ信号をドレイン配線Dに与えてゲート配線の電圧を制御することにより、画素21に任意のビデオ信号を保持させておくことができる。その画素21の保持しているデータ信号に光で液晶セルLCの透過率を変化し、画像が表示される。

【0077】ここで、画素21の特性として重要なものは、書き込み特性と保持特性とがある。書き込み特性に対して要求されるのは、画素部20の外周から定められた単位時間内に、信号蓄積要素（液晶セルLC及び補助容量（ C_s ））に対して所望のビデオ信号電圧を十分に書き込むことができるかどうかという点である。また、保持特性に対して要求されるのは、信号蓄積要素に一旦書き込んだビデオ信号電圧を必要経路間だけ保持することができるかどうかという点である。

【0078】補助容量（ C_s ）が設けられているのは、信号蓄積要素の静電容量を増大させて書き込み特性及び保持特性を向上させるためである。すなわち、液晶セルLCは、その構造上、静電容量の増大には限界がある。そこで、補助容量（ C_s ）によって液晶セルLCの静電容量の不足分を補うわけである。

第2実施形態 次に、本発明を具体化した第2の実施形態を図19～図28に基づいて説明する。尚し、第1実施形態で説明した箇所と同等の箇所には同じ符号を用いて説明を省略する。また、この第2実施形態は、第1実施形態、工程1～工程8に対して、工程9が異なる点、そしてその部分にのみ所記する。

【0079】工程1（図19参照）：基板上にW（モリブデン）膜を1層形成する。

【0080】工程2（図20参照）：前記Wシリサイド膜51を、トランジスタの電極層としての多結晶シリコンと可溶性タールに露出する。

【0081】工程3（図21参照）：前記基板上にW（モリブデン）膜を1層形成して、W（モリブデン）膜52を形成する。

【0082】工程4（図22参照）：前記W（モリブデン）膜52を、W（モリブデン）膜52を形成する。

【0083】工程5（図23参照）：前記W（モリブデン）膜52を、W（モリブデン）膜52を形成する。

【0084】工程6（図24参照）：前記W（モリブデン）膜52を、W（モリブデン）膜52を形成する。

【0085】工程7（図25参照）：前記W（モリブデン）膜52を、W（モリブデン）膜52を形成する。

整してアニール処理を行い、非晶質シリコン膜2aを透明薄膜として、多結晶シリコン薄膜2を形成する。

【0084】尚、レーザービームとして、XeC⁺エキシマレーザーやArFエキシマレーザーを使用してもよい。

【0085】工程6（図24参照）：前記多結晶シリコン膜2を薄膜トランジスタの駆動層として用いるためには、フォトリソグラフィ技術、R1E法によるドライエッチング技術により前記多結晶シリコン膜2を所定形状に加工する。

【0086】そして、前記多結晶シリコン膜2の上は、ゲート絶縁膜としてLTO膜3を形成する。

【0087】工程7（図25参照）：前記ゲート絶縁膜3の上は、非晶質シリコン膜1aを堆積する。

【0088】次に、前記非晶質シリコン膜1aの上はWシリサイド膜1bを形成する。

【0089】そして、前記Wシリサイド膜1bの上はシリコン酸を膜5を堆積した後、フォトリソグラフィ技術、R1E法によるドライエッチング技術を用いて、前記多結晶シリコン膜1a、Wシリサイド膜1b及びシリコン酸化膜5を所定形状に加工する。前記非晶質シリコン膜1aは、前記Wシリサイド膜1bとともにシリサイド構造のゲート電極1として使用する。

【0090】工程8（図26参照）：前記ゲート絶縁膜3及びシリコン酸化膜5の上は、常法CVD法によりシリコン酸化膜を堆積し、これを異方性全面エッチバックすることにより、前記ゲート電極1及びシリコン酸化膜5の側方にサイドウォール7を形成する。

【0091】そして、自己整合技術により、サイドウォール7をマスクとして、多結晶シリコン膜2は、加速電圧180keV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ の条件下、シリサイドイオンを不純物として注入し、低濃度の不純物領域6aを形成する。

【0092】工程9（図27参照）：前記サイドウォール7及びシリコン酸化膜5をレジスト8で覆い、再び自己整合技術により、レジスト8をマスクとして多結晶シリコン膜2は、加速電圧180keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ の条件下、シリサイドイオンを不純物として注入し、高濃度の不純物領域6bを形成することにより、LDD（Lightly Doped Drain）構造のソース・ドレイン領域6を形成する。

【0093】工程10（図28参照）：この状態で、第1実施形態と同様のR1E法による急速加熱を行う。

【0094】XeC⁺レーザーの照射は、多結晶シリ

コン化が速く、熱を吸収したWシリサイド膜1bから、放射熱によっても前記多結晶シリコン膜2の不純物の活性化が図れる。

【0096】即ち、多結晶シリコン膜2を、Xeレーザーの照射による熱とWシリサイド膜1bからの放射熱とにより、直接及び間接的に加熱することにより、多結晶シリコン膜2全体を均一に加熱し、活性を均一化することなく良好な膜と成すようにする。

【0097】Wシリサイド膜1bの大きさは、基本的には、多結晶シリコン膜2と同じか又はそれ以上であればよいが、面内で、ターゲットの大きさに対する面積となるように調整すれば、より好ましい。

【0098】即ち、集積化半導体デバイスでは、パターンの確率が基板上に発生するため、各トランジスタに均等にWシリサイド膜2を設けたのでは、内部によって単位面積当たりの熱吸収率が異なり、均一な熱処理が行えず、また、Wシリサイド膜1bの照射時局所での温度が非常に高くなって基板1が変形する場合がある。

【0099】そこで、一部に配置した熱吸収膜の単位面積当たりの密度を、その上に形成されるパターンに係わらずほぼ一定となるようにすれば、RTAで活性化するときの温度分布の偏りを解消することができ、具体的にドライバードタイプのLCDパネルでは、ドライバ部に比べて画素部のトランジスタの密度が高いので、ドライバ部のトランジスタに対するWシリサイド膜5-1の大きさを、画素部のそれに対して大きくしてやることで、基板1全体の温度分布が均一になる。

【0100】LCDパネルにおいては、回路の面積の約10%がWシリサイド膜5-1となるように調整することが好ましい。

【0101】この工程により、多結晶シリコンTFT（TFT：Thin Film Transistor）（A）が形成される。

【0102】以上の実施形態により製造した多結晶シリコンTFTにおいては、低濃度低濃度のためであるが、しかも、高濃、多結晶シリコン膜を駆動層とすることでよい。

【0103】本発明者の実験によれば、nチャネルのMOS型多結晶シリコンTFTでの移動度 μ が $200 \text{ cm}^2/\text{V} \cdot \text{s}$ 以上、pチャネルのMOS型多結晶シリコンTFTでの移動度 μ が $150 \text{ cm}^2/\text{V} \cdot \text{s}$ 以上、画素部部、トランジスタを実現できることがわかった。

【0104】そして、図29は、本発明の第2実施形態の

図29は、本発明の第2実施形態の製造工程の一例を示す。図29は、図28の工程10の後に、Wシリサイド膜5-1を形成する工程11を示す。

図29は、本発明の第2実施形態の製造工程の一例を示す。図29は、図28の工程10の後に、Wシリサイド膜5-1を形成する工程11を示す。

比は 1×10^{-7} の特性を得ることができる。

【0105】また、移動度が高いが、TFTの駆動能力が向上するので、TFTのサイズを小さくすることができ、従来駆動停止して非晶質シリコンを用いたトランジスタのサイズ(W・L=3.4・10 μm^2)に比べて、1.5以下、サイズ(W・L=8・10 μm^2)に縮小することができる。更には、高品質の駆動層であるので、トランジスタのオフ時のリーク電流も少なく、そのリーク補給容量の面積も1.3以下に縮小することができる。

【0106】具体的に、サイズ2.1型で、画素ピッチ:50.0・0.1D(μm) \times 150.0・X(μm)、画素数:23万1千ドット(320 \times 312 RGB \times 2.10)と、従来型のものに比べて3倍以上の高密度画素を有しながらも、さらさらという高開口率(比率:1.5倍)のものを得ることができ、高輝度化を実現できる。

【0107】以上の実施形態は以下のように変更してもよく、その場合でも毎回の作用、効果を得ることができる。

【0108】(1)条件にもよるが基板1として、通常のガラス板なども使用可能である。

【0109】(2)工程2や工程1において、非晶質シリコン膜を真空CVD法により、例えば、モノシランガスを引、温度580℃で堆積させる。これにより、非晶質シリコン膜には微結晶を含んだ膜となる。

【0110】微結晶を含んだ非晶質シリコン膜を固相成長法により多結晶化することにより、結晶粒径が小さくなるが移動度は若干低下するが、結晶成長を短時間で終わることができる。

【0111】(3)工程2や工程1において、非晶質シリコン膜2を真空CVD法、プラズマCVD法によらず、熱用CVD法、光励起CVD法、蒸着法、EBE(Electron Beam)蒸着法、MBE(Molecular Beam Epitaxy)法、スパッタ法からなるグループの内いずれか一つの方法によって形成する。

【0112】(4)多結晶シリコン膜のチャネル領域に形成する部分に不純物をドーピングして多結晶シリコンエドエのしきり電圧(V_{th})を制御する。固相成長法で形成した多結晶シリコンエドエでは、Nチャネルトランジスタではドーピング方向はしきり値電圧がシフトし、Pチャネルトランジスタではしきり値電圧方向にしきり値電圧がシフトする傾向にある。また、水素化処理を行った場合には、その傾向がより顕著となる。このしきり値電圧のシフトを考えると、チャネル領域に不純物をドーピングすればよい。

X₁の組成をX₂に設定する。

【0113】(6)工程5、工程1、工程7において、CVD法を用いてWシリサイド膜4b、51を形成する。そのソースガスとしては、六フッ化タンゲステン(WF₆)とシリラン(SiH₄)を用いればよい。成膜温度は、350~450℃前後とする。この場合にも、前記したスパッタ法の場合と同様な理由により、Wシリサイド(WSi₂X₁)の組成をX₂に設定する。CVD法はPVD法に比べ、板差被覆性が優れているため、Wシリサイド膜4bの膜厚をより均一にすることが可能。

【0115】(7)ゲート電極に用いるWシリサイドに代わるものとして、MoSi₂g、TiSi₂g、TaSi₂g、CoSi₂gなどの高融点金属シリサイド、その他、W、Mo、Co、Cr、Ti、Taなどの高融点金属を用いてもよい。

【0116】(8)工程9において、プラズマ酸化膜に代えて、TEOS(Tetra Ethy. Ortho Silicate)又はTetra-ethoxy-silane)を用いたプラズマTEOS酸化膜を用いてもよく、また、シリコン酸化膜に代えて、常圧オゾンTEOS酸化膜を用いてもよい。

【0117】プラズマTEOS酸化膜の堆積条件は、堆積温度:390℃、RF出力:500W、TEOS流量:500sccm、酸素流量:600sccm、圧力:9torrとし、常圧オゾンTEOS酸化膜の堆積条件は、堆積温度:400℃、RF出力:オゾン濃度:約5wt%、TEOSキャリアN₂ガス流量:3000ccmとする。

【0118】(9)上記(8)の工程の後、プラズマTEOS酸化膜を、ゲンモニア(NH₃)ガスを用いてプラズマ処理することにより窒素イオンに曝し、その表面を窒化してから常圧オゾンTEOS酸化膜を堆積すると、シリコン酸化膜の成長レートがより安定する。この時の窒化処理条件は、温度:360℃、RF出力:500W、ゲンモニア流量:100~500sccm、N₂流量:0~1000ccmである。なお、この窒化処理において、ゲンモニアガス以外に窒素を用いてもよい。

【0119】TEOS/Wシリサイド膜41に代えて、微結晶シリコン膜や多結晶シリコン膜などの酸化膜を用いる。これによりシリコン膜には不純物がドーピングされていてもよい。このように、導電性膜又は絶縁膜を用いることにより、この誘電体膜に電圧を加加することで、TFTを、LIS1に用いられるMOSトランジスタのように1端子がハイムとして動作させて、しきり電圧を制御することができる。また、このようにして、

【0120】(10)工程10において、ゲート電極に形成する部分に不純物をドーピングしてゲート電圧(V_{th})を制御する。固相成長法で形成した多結晶シリコンエドエでは、Nチャネルトランジスタではドーピング方向はしきり値電圧がシフトし、Pチャネルトランジスタではしきり値電圧方向にしきり値電圧がシフトする傾向にある。また、水素化処理を行った場合には、その傾向がより顕著となる。このしきり値電圧のシフトを考えると、チャネル領域に不純物をドーピングすればよい。

【0121】(11)工程11において、

【0122】(12)工程12において、Wシリサイドに代えて、MoSi₂g、TiSi₂g、TaSi₂g、CoSi₂gなどの高融点金属シリサイド、その他、W、Mo、Co、Cr、Ti、Taなどの高融点金属を用いてもよい。

炭素系シリサイド、その他、W、Mo、Co、Cr、Ti、Taなどの高融点金属を用いてもよい。更には、使用温度が低い場合には、約150℃以下、AlやAuなど、比較的融点金属を用いてもよい。

【0121】Wシリサイドも含めて、これらの金属膜は、 λ を通さない性質を有しているので、以下の通りの効果を生ずる。

【0122】(a) 光、散乱を防ぐとともに液晶セルに熱や水分が入りこむ必要などを進めるので、LCDパネルとしてコントラストが高くなる。

【0123】(b) TFTに入ろうとする光を遮るので、光によるリーク電流を減らさせてTFTとしての特性を向上させることで光によるTFT自身の劣化を防止する。

【0124】(c) (1) フレータ型だけでなく、逆フレータ型、スタガ型、逆スタガ型などあらゆる構造の多結晶シリコンTFTに適用する。

【0125】(13) 多結晶シリコンTFTだけでなく、薄膜ゲート型半導体素子全般に適用する。また、太陽電池やセンサーなどの光変換素子、バイポーラトランジスタ、静電誘導型トランジスタ(S-IT: Static Induction Transistor)などの多結晶シリコン膜を用いるあらゆる半導体装置に適用する。

【0126】

【発明の効果】本発明によれば、以下の通りの優れた効果を生ずる。

【0127】(1) 低温プロセスが可能で、安価な基板を使用でき、半導体装置の製造コストを削減できる。

【0128】(2) 長質な多結晶シリコン膜を短時間で得ることができ、半導体装置におけるスリープットが向上する。

【図面の簡単な説明】

【図1】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図2】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図3】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図4】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図5】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図6】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図7】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図8】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図9】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図10】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図11】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図12】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図13】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図14】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図15】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図16】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図17】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図18】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図19】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図20】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図21】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図22】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図23】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図24】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図25】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図26】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図27】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図28】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図29】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図30】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図31】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図32】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図33】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図34】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図35】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図36】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図37】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図38】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図39】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図40】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図41】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図42】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図43】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図44】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図45】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図46】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図47】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

【図48】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

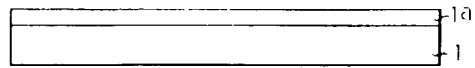
【図49】本発明を具体化した第1実施形態の製造工程を説明するための断面図である。

1b Wシリサイド膜

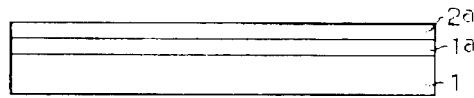
6 不純物領域

1 ゲート電極

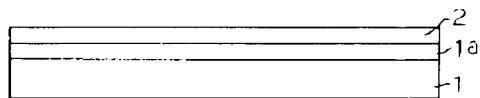
【図1】



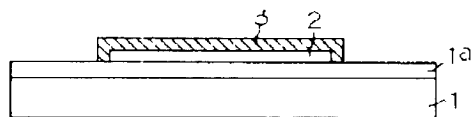
【図2】



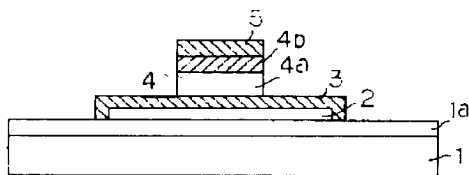
【図3】



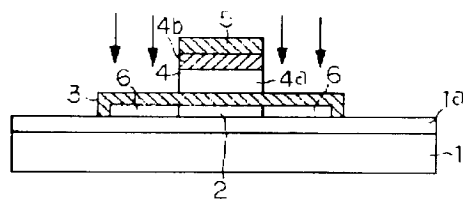
【図4】



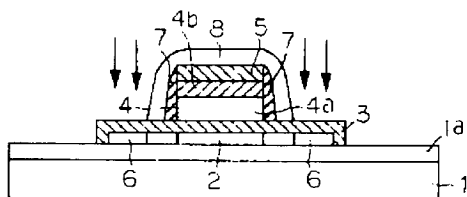
【図5】



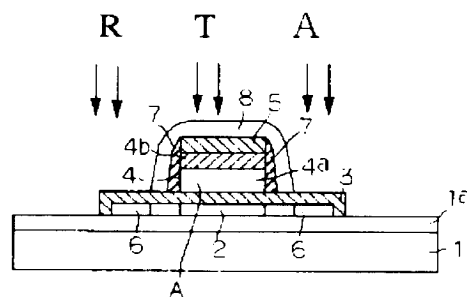
【図6】



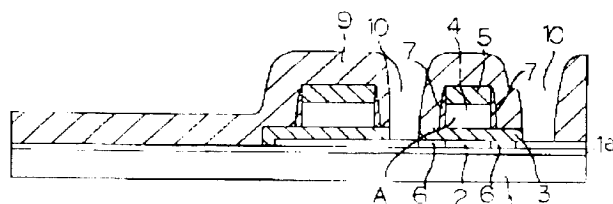
【図7】



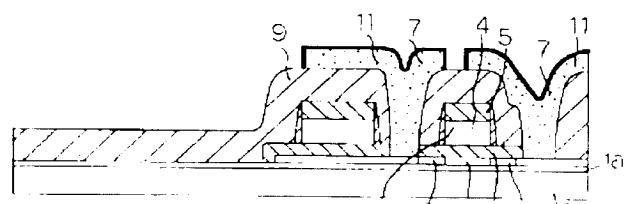
【図8】



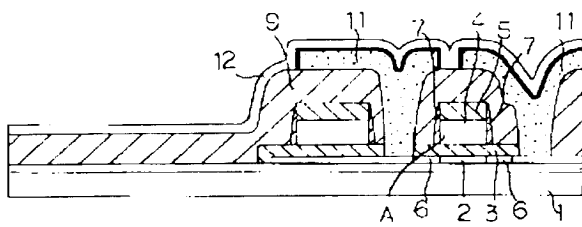
【図9】



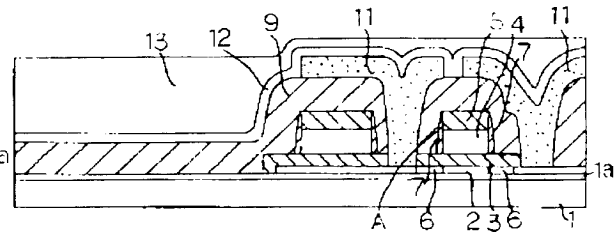
【図10】



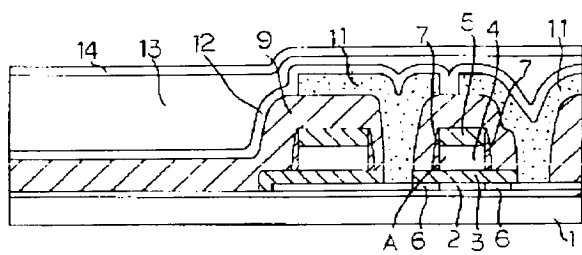
【図11】



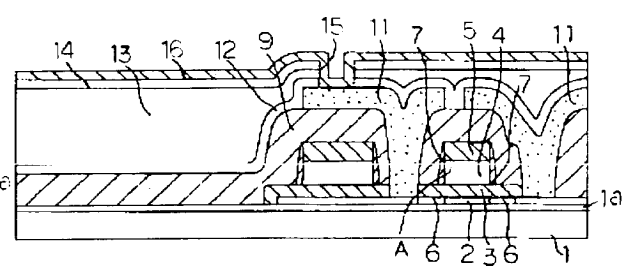
【図12】



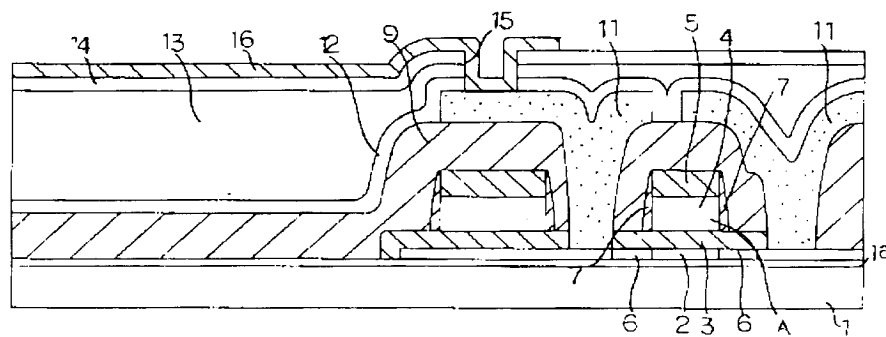
【図13】



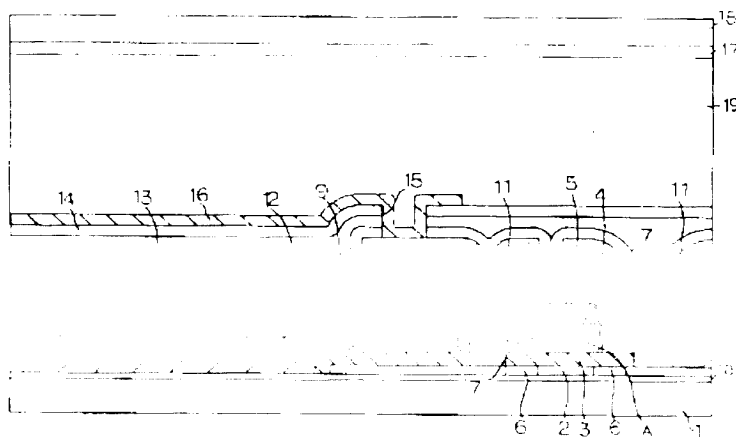
【図14】



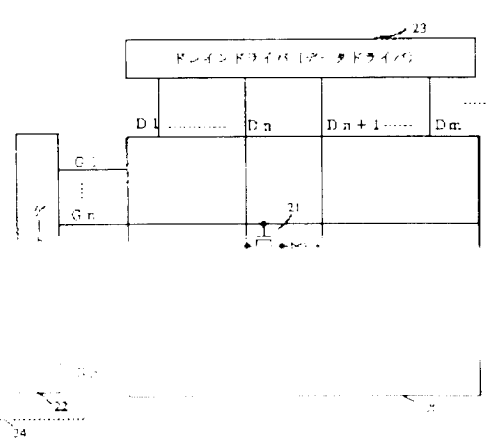
【図15】



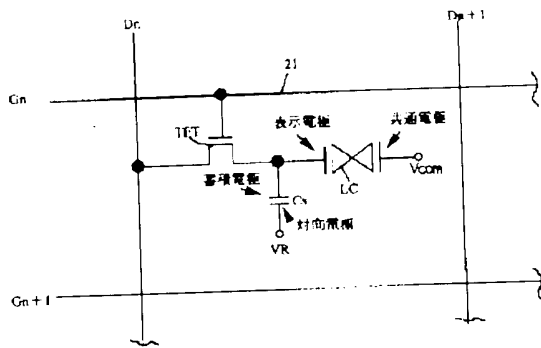
【図16】



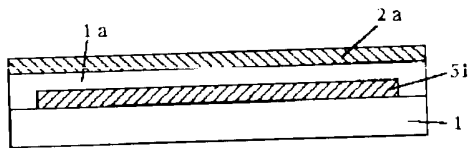
【図17】



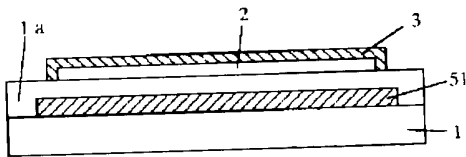
【図18】



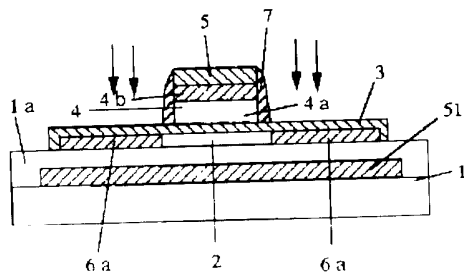
【図22】



【図24】



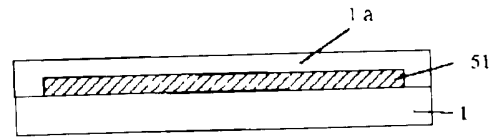
【図26】



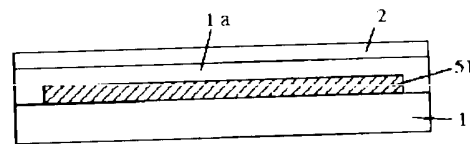
【図31】



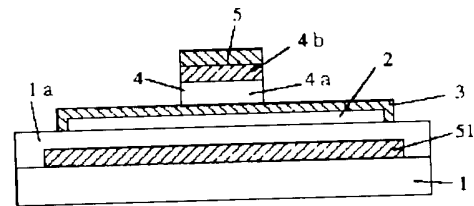
【図21】



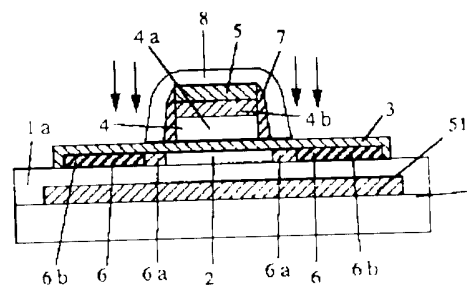
【図23】



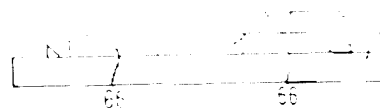
【図25】



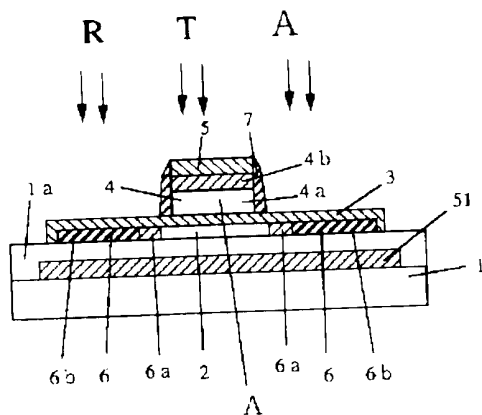
【図27】



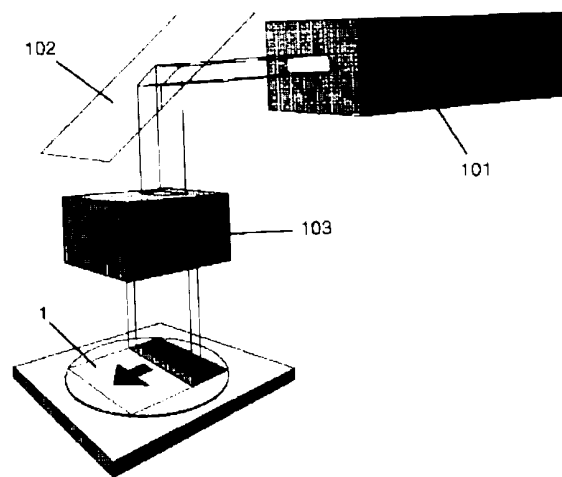
【図32】



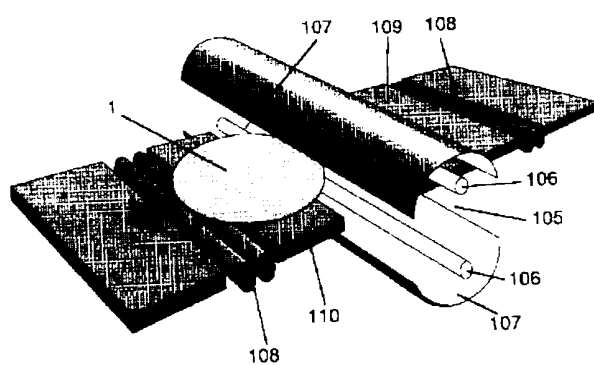
【図28】



【図29】



【図30】



フロントページの続き

51 Int. Cl. 7

識別番号

F 1

H 0 1 L 29/78

6-72-F (参考)

6 1 7 V

6 2 7 G

72) 発明者 山路 敬文

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

73) 発明者 森本 佳宏

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

72) 発明者 米田 清

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内